

THIN-FILM TRANSISTOR

Patent Number: JP63048526
Publication date: 1988-03-01
Inventor(s): SUEKANE MICHINOBU; others: 02
Applicant(s): ASAHI GLASS CO LTD
Requested Patent: JP63048526
Application Number: JP19860192110 19860819
Priority Number(s):
IPC Classification: G02F1/133; G09F9/30; H01L21/88; H01L27/12; H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce line defect occurrence due to the breaking of a wire and to make a display of high quality by employing a multi-layered structure that part or the whole of source electrodes or gate electrodes are formed of ≥ 2 kinds of conductive layers.

CONSTITUTION: Metal 12 is deposited on a glass substrate 11 and patterned to form the 1st layer of a source electrode 13. Then, n^{+} -Si 17 and a transparent conductive film 14 are patterned in the same process to form the 2nd layer of the source electrode 13, a drain electrode 15, and a display picture element electrode 16. Then, a-Si, an insulating film, and the 1st metal are deposited successively and the 1st metal 20, insulating film 19, and a-Si 18 are patterned in the order in the same process to form the gate electrode 22. Then the 2nd metal 21 is deposited and patterned to form the 2nd layer of the gate electrode. A cell using this thin-film transistor provides an extremely superior display.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 昭63-48526

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和63年(1988)3月1日
G 02 F 1/133 3 2 7 8205-2H
G 09 F 9/30 3 3 8 C-6866-5C
H 01 L 21/88 R-6708-5F
27/12 7514-5F
29/78 3 1 1 A-8422-5F 審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭61-192110

⑰ 出 願 昭61(1986)8月19日

⑱ 発 明 者 末 包 通 信 神奈川県横浜市旭区笹野台188-17
⑲ 発 明 者 小 倉 弘 神奈川県横浜市緑区霧が丘4-1-3
⑳ 発 明 者 武 藤 隆 二 郎 神奈川県横浜市鶴沼京2-1
㉑ 出 願 人 旭 硝 子 株 式 有 限 公 司 東京都千代田区丸の内2丁目1番2号
㉒ 代 理 人 弁 理 士 内 田 明 外2名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) ゲート電極と、ソース電極と、ドレイン電極とを一体を成すドレイン電極を有し、該ゲート電極と該ソース電極とがマトリックス状に配線された構造を有する薄膜トランジスタにおいて、該ソース電極又はゲート電極の一部ないし全部が、2種類以上の導電層から成る多層構造を有することを特徴とする薄膜トランジスタ。

(2) ソース電極を構成する複数の導電層のうちの一層が透明導電膜である特許請求の範囲第1項記載の薄膜トランジスタ。

(3) ソース電極を構成する複数の導電層のうちの一層と、ドレイン電極と一体を成すドレイン電極とが、同一のデポジット工程とパターニング工程により形成された透明導電膜である特

許請求の範囲第2項記載の薄膜トランジスタ。

(4) ゲート電極を構成する複数の導電層が異なる材質の導電層である特許請求の範囲第1項記載の薄膜トランジスタ。

(5) 薄膜トランジスタが形成される基板が、ガラス等の透明絶縁性材料である特許請求の範囲第1項～第4項のいずれか1項記載の薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、表示品位の優れた高密度結晶表示素子等を実現するために用いられる薄膜トランジスタに関するものである。

〔従来の技術〕

近年、OA機器端末・壁掛けテレビ等を目ざとして、薄膜高密度ディスプレイ開発への要求が高まっている。これを実現するための手段として、行状に電極を配置した液晶表示装置において、該電極の交差部分に薄膜絶縁素子を配置

特開昭63-48526(2)

し、これによってスタチック駆動に近い液晶駆動を行ういわゆるアクティブマトリックス方式の開発が、各方面において進行している。

このような目的に用いられる種別駆動素子の構造及び材質等に関しては、様々な提案がなされており、その得失が論ぜられている。その一例として、1984年Eurodisplay 国際会議においてフランスのNET社より発表された薄膜トランジスタの製造工程を図2図に示す。(Euro. Display 84, p251, 1984) 第5図及び第6図は薄膜トランジスタの平面図(A)及びそのAA'面拡大端面図(B)である。まずガラス基板1上にITO(酸化インジウム-酸化スズ)等の透明電極2及びn-a-Siをこの順で連続してデポジットする。続いてp-a-Si3及びITO2を、この順で連続して、同一の工程でパターンニングすることにより、ソース電極4及び表示画素電極を兼ねたドレイン電極5を形成する。続いて、a-Si6, Si3N4, 7, 金属8をこの順で連続してデポジットし、引き線金属8, Si3N4, 7, a-Si6

の順で連続して同一の工程でパターンニングすることによりゲート電極9を形成する。以上の工程により10部分をチャンネル領域とする薄膜トランジスタが完成する。本構造は使用マスク数が2枚と少ないこと、パターン合せ精度の余裕が大きいこと等の特徴を有するものであるが、本構造を有する薄膜トランジスタを用いて液晶表示素子を組み立てて、点灯状態を調べたところ、表示品位に重大な悪影響を及ぼす以下のような問題点を有することが明らかになった。

第1に、ソース電極4及びゲート電極9とがそれぞれ単一のパターンニング工程で形成されるため、フォトリソ工程中の異物・塵・基板搬送中の振動等に起因する断線が多く、断線に起因する線欠陥が発生しやすい。

第2に、ITOのみからなりソース電極線4が高抵抗であるために、駆動用信号波形に変形を生じ、点灯素子に接続する非点灯画素に信号が漏れ込んだり、高抵抗による電圧降下のためコントラストむらを生じる。

第3にソース電極4が透明電極のみにより成るため、ソース電極上の液晶がソース電極への信号印加状態に応じて点灯し、この点灯状態が、表示画素電極上の液晶による本来の点灯状態に基づく表示の品位を著しく助け、表示のチラツキ、コントラスト低下等を誘発する。

以上のように、従来より知られている薄膜トランジスタのうち、ゲート電極又はソース電極が単一導電物の一層構造であるもの、特にソース電極が透明電極のみより成るものは、これらの構造に起因してその表示品位が大きく劣化してしまうという問題点を有していた。

[発明の解決しようとする問題点]

以上のように従来より知られている、ソース電極又はゲート電極が単一導電物による一層構造により形成される構造の薄膜トランジスタにおいては、断線による線欠陥発生が著しく高いという問題点を有していた。又、このソース電極を形成する単一導電物が透明電極であるような従来の薄膜トランジスタにおいては、

前述のように、この構造に起因して表示品位低下をもたらすという問題点を有していた。

本発明の目的は、従来技術が有していた上述のような問題点を解決し、高品位表示を得るところにある。

[問題点を解決するための手段]

本発明は前述の問題点を解決すべくなされたものであり、ゲート電極と、ソース電極と、画素電極と一体を成すドレイン電極を有し、該ゲート電極と該ソース電極とがマトリックス状に配線された構造を有する薄膜トランジスタにおいて、該ソース電極又はゲート電極の一部ないし全縁が、2種類以上の導電層から成る多層構造を有することを特徴とする薄膜トランジスタを提供するものである。

薄膜トランジスタの構造については、スタガー型・逆スタガー型・コプレーナ型等が知られており、半導体材料としては、a-Si(アモルファスシリコン)、ポリシリコン、CdSe, Te等が知られているが、本発明はこれらのすべての場

特開昭63-48526(3)

膜トランジスタに適用することが可能である。

第1図は、アモルファスシリコンを使用し、ソース電極を2層とした本発明の基本的例の平面図(A)とそのAA'断面大端面図である。この図において11はガラス等の基板、12はソース電極13の1層目のアルミ、クロム、タンタル、チタン、ニッケル等の低抵抗の金属、14はソース電極13の2層目とドレイン電極15と表示誘電電極16のITO(酸化インジウム-酸化スズ)、酸化スズ等の透明導電膜、17は $n^+a\text{-Si}$ (n^+ アモルファスシリコン)、18は $a\text{-Si}$ (アモルファスシリコン)、19は酸化ケイ素等の絶縁膜、20はアルミ、クロム、タンタル、チタン、ニッケル等の第1の金属、21はアルミ、チタン、クロム、タンタル、ニッケル等の第2の金属で第1の金属20と第2の金属21とにより、ゲート電極22が形成されている。

ソース電極はこのような2層構造とすることにより、抵抗の高い透明導電膜のみとならないため、駆動電圧波形に歪みを生じにくくなり、

エッチしないようなエッチング液を使用することにより、第2の金属のエッチング時に、ややオーバーエッチングになっても第1の金属のすでに形成されたパターンをエッチングしてしまふことがなく好ましい。

以下、第2図乃至第4図は第1図の例の薄膜トランジスタを製造するための工程を追って説明する平面図(A)及びそのAA'断面大端面図(B)である。まず、ガラス基板11の上に、金属をデポジットし第2図の12のようにパターンニングして、ソース電極13の第1層目を形成する。続いて透明導電膜、 $n^+a\text{-Si}$ を連続してデポジットし、引き続き $n^+a\text{-Si}$ 、透明導電膜を第3図に示すようにこの順で同一の工程で17,14の如くパターンニングすることにより、ソース電極13の第2層、及びドレイン電極15、表示誘電電極16を形成する。次に $a\text{-Si}$ (アモルファスシリコン)、絶縁膜、第1の金属を連続してデポジットし、第4図に示すように引き続き第1の金属20、絶縁膜19、 $a\text{-Si}$ 18の順で連続して同一の工

コントラストむらを生じにくい。

又、ゲート電極も第1の金属と第2の金属とを別々にフォトリソ工程でパターンニングすることにより、ゴミ等によるゲート断線を生じにくく信頼性が向上する。特に、第1の金属と第2の金属とは異なる材料を用い、異なるエッチング液でエッチングすることにより、よりゲート断線を生じにくい。これは、第1の金属のパターンは正常であったが、第2の金属のパターンにゴミ等が付着した場合、第2の金属のエッチング時に正常な第1の金属のパターンまでエッチングされてしまうことを防止できるためである。もちろん、第1の金属の厚みを厚くし、第2の金属の厚みを薄くし、第2の金属のエッチングをややオーバーエッチングにしても第1の金属が全てエッチングされてしまわない程度にすることにより、第1の金属と第2の金属の材質を同一とすることもできる。しかし、前述の如く第1の金属と第2の金属とは異なる材質とし、夫々一方はエッチングするが他方はエッチ

ングでパターンニングすることにより、ゲート電極22を形成する。続いて第2の金属21をデポジットし、第1図に示すようにパターンニングすることにより、22の形状でゲート電極の2層目を形成する。

以上のプロセスにより、ソース電極13は透明導電膜14と金属12とから成り、全体としては不透明な低抵抗の2層構造となり、さらにゲート電極22は第1の金属20と第2の金属21より成る2層構造となる。ここで透明導電膜14は、ITO、 SnO_2 等から選ばばよい。また金属12、20、21については、他のプロセス条件を考慮した上で、Al、Cr、Fe、Ti、Ni等の中から適切な組合せで選ばばよい。製膜法としては、蒸着・スパッタ・メッキ等の方法が可能である。

前述のように、第1図乃至第4図は本発明を適用した一例であり、本発明は従来より知られているあらゆる構造の薄膜トランジスタに適用し得るものである。

また、この例えばソース電極、ゲート電極と

特開昭63-48526(4)

も2層構造としたが、一方のみを2層構造としてもよい。もっとも両方とも2層構造とすることが信頼性からみて好ましい。

又、この例では基本的構成のみを示したが、例えば1画素に2個以上の薄膜トランジスタを形成したり、画素電極上に配向膜、カラーフィルターを形成したりしてもよく、液晶表示素子、エレクトロクロミック表示素子等の各種表示素子に使用できる。

【実施例】

次に本発明の方法による薄膜トランジスタ製造の実施例について、第1図乃至第4図に示される製造例を用いて説明する。

まずガラス基板11の上にCrを1.3KÅデポジットし、12のようにパターンニングしてソース電極13の第1層目を形成した。続いて透明導電膜としてITO 600Å、a-Si 500Åを連続してデポジットした後、a-Si 17をドライエッチで、またITOの透明導電膜14をウェットエッチで連続してパターンニングすることにより、ソ

ース電極13及びドレイン電極15、表示画素電極16を形成した。次にa-Si 18 1000Å、Si₃N₄の絶縁膜19 2000 Å、Crの第1の金属20 1000 Åを連続してデポジットした後、ゲート電極22の形状でCrによる第1の金属20をウェットエッチで、またSi₃N₄による絶縁膜19及びa-Si 18をウェットエッチで連続してパターンニングした。続いて、Alの第2の金属21を6000Åデポジットし、Alによる第2の金属21をウェットエッチして、ゲート電極22の第2層目を形成した。

以上のプロセスにより、ソース電極13はCr及びドレイン電極15等と同時に形成されたITOより成る不透明な電抵抗の2層構造となり、又、ゲート電極22はCr及びAlより成る2層構造とすることができた。

発明者らは、以上の構造を有する薄膜トランジスタを、100mm角のガラス基板上に、250割×250個、ピッチ0.35mmにて、行列状に製作し、この基板を用いて、従来より知られている方法で液晶セルを組立てて点灯試験を行なっ

た。また、比較のために、第5図及び第6図に示したような従来構造の薄膜トランジスタも同様の条件で製作して液晶セルを組立てて点灯試験を行ない、両者の点灯状態を比べた。

その結果、両者は著しい相違を示した。まず従来例のセルにおいてはゲート断線、ソース断線に起因する線欠陥がかなり生じているのに対し、ゲート線、ソース線を2層構造とした本発明の方法においては、このような線欠陥は全く発生せず、併行して行なった電解的検査においてもゲート断線、ソース断線は全く生じていないことが確認できた。2番目に点灯状態を詳細に観察したところ、従来例においては同一ソース線上の点灯点に隣接する非点灯点が半点灯状態となっており、原因を検討したところソース線が腐食抵抗のため挙動振形がなまって、隣接画素に信号が漏れ込んでいることによることが判明した。そして本発明の薄膜トランジスタのソース線は著しく低抵抗化しており、このような隣接画素点灯は全く生じなかった。3番目に従

来例においては、表示画素以外で、透明なソース線に起因して、半点灯状態になったフリッカーをくりかえしており、全体のコントラストを著しく劣化させていることがわかった。一方、本発明の薄膜トランジスタにおいては、ソース線が不透明であるため、このようなフリッカーは全く問題にならず、鮮明な画素が得られた。

以上のような効果により、本発明の薄膜トランジスタを用いたセルは、従来例と比べて著しく優れた表示が得られることが確かめられた。

【発明の効果】

以上のように、本発明の薄膜トランジスタによって組立てた液晶セルにおいては、画素に起因する線欠陥が生じにくく、かつ高抵抗ソース線に起因する表示ムラが発生しにくく、透明ソース線部分のフリッカーが妨げるといった優れた効果を有する。特に、腐食が発生しないことにより、薄膜トランジスタの製造歩留が著しく向上するという効果も認められる。

特開昭63-48526(5)

なお、以上に記述したように本発明は絶縁トランジスタを液晶表示素子と組合せて利用する場合に適しているが、エレクトロクロミックディスプレイ、エレクトロルミネッセントディスプレイ等、他の表示素子に適用されてもよく、今後種々の応用が可能なるものである。

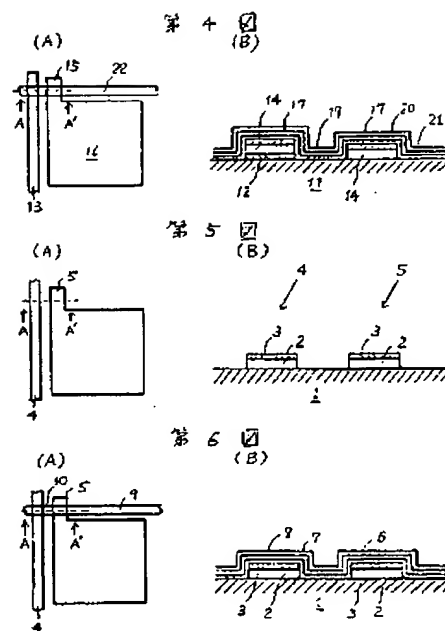
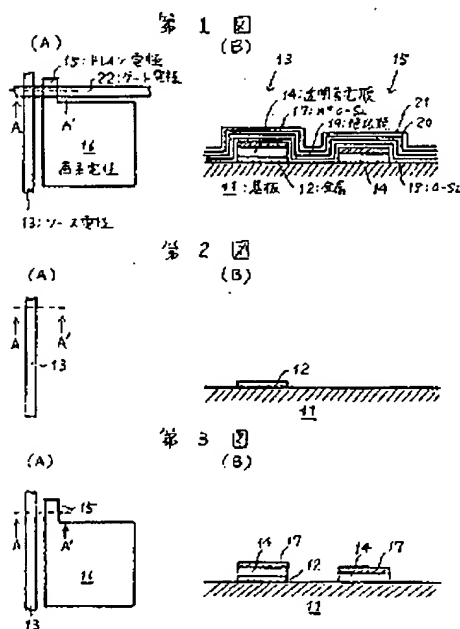
4. 図面の簡単な説明

第1図乃至第4図は本発明の移動トランジスタの製造プロセスを示した平面図及び拡大端面図である。

第5図及び第6図は従来の絶縁トランジスタの製造プロセスを示した平面図及び拡大端面図である。

- 11：基板
- 12：金属
- 13：ソース電極
- 14：透明電膜
- 15：ドレイン電極
- 16：表示画素電極
- 17：n⁺a-Si

代理人 内 田 明
代理人 萩 原 亮
代理人 安 西 篤 夫



特開昭63-48526(6)

特許庁長官 殿

昭和61年10月 / 日

特許庁長官 殿

1. 事件の表示

昭和61年特許願第192110号

2. 発明の名称

薄膜トランジスタ

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目1番2号

名 称 (004) 旭硝子株式会社

4. 代理人

〒105

住 所 東京都港区虎ノ門一丁目16番2号

氏 名 弁護士(7179) 内 田 明 虎ノ門千代田ビル 外2名

5. 補正命令の日付

自 発 補 正

6. 補正により増加する発明の数 なし

7. 補正の対象

(1) 明細書の発明の詳細な説明の欄

8. 補正の内容

(1) 明細書第3頁第13行乃至第14行、第5頁第1行、第5頁第10行
及び第5頁第19行の「透明電極」を「透明导电膜」に訂正する。

特許庁

81.10.1

以 上

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.